

JP-A-63-29937

Referring to FIG. 1A, first, two monocrystalline silicon semiconductor wafers 1, 2 are prepared. A gettering region 3 is formed on a surface 1a of the wafer 1 to have a gettering function. The gettering region 3 is formed by, for example, forming a polycrystalline silicon layer, including crystal defects at a high concentration, on the surface 1a of the wafer 1, or by the surface 1a of the wafer 1 itself by sandblast or the like. Then, in state where both the surface 1a of the wafer 1 having the gettering region 3 and a surface 2a of the wafer 2 are mirror-finished, the two wafers 1, 2 are joined together at the surfaces 1a, 2a, and are heated at about 1100°C for 2 hours. Accordingly, the two wafers 1, 2 are bonded together as shown in FIG. 1B. Thus, the semiconductor substrate 4 of the invention is provided. As shown in FIG. 1C, the substrate 4 is further processed to have a thickness d by, for example, etching another surface 2b of the wafer 2 at an opposite side of the bonding surface 2a, or by performing a mechanochemical polishing. The gettering region 3 is not limited to the side of the surface 1a of the wafer 1, but as shown in FIG. 3, may be formed in an entire region of the wafer 1 by constructing the entirety of the wafer 1 from a wafer having an oxygen concentration or a high defect concentration.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-29937

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)2月8日

H 01 L 21/322

G-7738-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体基板

⑯ 特 願 昭61-173268

⑰ 出 願 昭61(1986)7月23日

| | | | |
|---------|-----------|-------------------|----------|
| ⑱ 発 明 者 | 伊 沢 伸 幸 | 東京都品川区北品川6丁目7番35号 | ソニー株式会社内 |
| ⑲ 発 明 者 | 佐 藤 弘 | 東京都品川区北品川6丁目7番35号 | ソニー株式会社内 |
| ⑳ 発 明 者 | 鈴 木 利 彦 | 東京都品川区北品川6丁目7番35号 | ソニー株式会社内 |
| ㉑ 発 明 者 | 加 藤 弥 三 郎 | 東京都品川区北品川6丁目7番35号 | ソニー株式会社内 |
| ㉒ 出 願 人 | ソニー株式会社 | 東京都品川区北品川6丁目7番35号 | |
| ㉓ 代 理 人 | 弁理士 伊 藤 貞 | 外1名 | |

明 細 書

発明の名称 半導体基板

特許請求の範囲

少くとも対の半導体ウェファが互いに直接密着されて加熱接着されて成り、

該接着面、或いは上記一方の半導体ウェファにゲッタリング機能を有するゲッタリング領域を具備させたことを特徴とする半導体基板。

発明の詳細な説明

(産業上の利用分野)

本発明は電界効果トランジスタ、バイポーラトランジスタ、電荷転送素子、固体撮像素子等の各種半導体素子を具備する半導体装置を構成する半導体基板に関わる。

(発明の概要)

本発明は、少くとも対の半導体ウェファを何ら接着剤を介することなく直接的に密着接着した構造をとり、その接着面に、或いは、一方の半導体ウェファに、エクストリンシック・ゲッタリング

或いはイントリンシック・ゲッタリング機能すなわち不純物の析出や結晶欠陥の排除を行うシンクを形成するものであり、このようにして特に他方の半導体ウェファにおいて結晶性にすぐれ、特性の良い各種半導体素子を形成することができるようにするものである。

(従来の技術)

特性の良い半導体装置を製造するには、その半導体基板の少くとも半導体動作領域の形成部において、特に重金属不純物を排除して、この金属不純物が半導体基板中の結晶欠陥に沈積したり、結晶欠陥の発生を助長したりすることがないようにするいわゆるゲッタリングを必要とする。

このゲッタリングは、大別してエクストリンシック・ゲッタリングとイントリンシック・ゲッタリングが用いられている。

エクストリンシック・ゲッタリングは、外部からの作用でゲッタリングを行うものであり、これは例えば半導体基板の裏面に磷PやボロンBを拡

敗したり、粗面を形成するなどによって積極的に歪を形成して金属不純物等のシンクを形成してゲッターリング作用を得るものである。

また、イントリンシック・ゲッターリングは、半導体基板中に内在させた酸素や、熱処理によって形成した歪をシンクとしてゲッターリング作用を得るものである。

しかしながらエクストリンシック・ゲッターリングでは、基板の裏面にゲッターリング作用を行わせるための処理が施されるので、半導体動作領域となる表面との距離が大となってこの動作領域におけるゲッターリングが不十分となるという問題点がある。そして、このゲッターリングを効果的に行うべく半導体基板の厚さを小さくすれば、この基板の取扱い時に破損を生じさせるなどの問題が生じる。また、エクストリンシック・ゲッターリングのために例えば焼の高濃度拡散層を基板の裏面に形成する場合、これからのアウトディフュージョンによって半導体素子の特性に影響を及ぼすおそれもあり、これを回避するためには、基板の裏面

を包み込む被膜を形成する必要があるなど著しく作業が複雑となる。

また、イントリンシック・ゲッターリングを行う場合、基板内部に動作領域の特性に影響を及ぼさずに酸素の導入を行ったり歪の発生を生じさせる制御が難しいという問題点がある。

(発明が解決しようとする問題点)

本発明は、半導体基板の半導体素子を形成する動作領域に対する金属不純物や結晶欠陥のゲッターリング作用を確実に行うことができ、その取扱いにおける破損の問題や、制御性の問題をすべて解決する。

(問題点を解決するための手段)

本発明は、少くとも対の半導体ウェファ、すなわち第1のウェファと、半導体素子の動作領域を構成するための第2のウェファとを直接的に密着させ、加熱することによって何ら接着剤の介在なく両ウェファの接合を行った構成をとる。この接

合技術については、例えば特開昭60-121776号公開公報或いは特開昭60-121777号公開公報に開示されているところである。

このような構成において特に本発明においては、一方の第1のウェファにゲッターリング機能、すなわちシンクを形成するゲッターリング領域を形成するか、両第1及び第2のウェファの接合面にシンクが生じるようにする。

(作用)

上述の構成では、一方の第1のウェファ、または第1及び第2ウェファの接合面にゲッターリング機能を有するゲッターリング領域、いわゆるシンクが形成されるので、第2のウェファの全厚さに渡って或いは少くとも第1のウェファとの接合面から所要の厚さdに亘って、亜金属、欠陥のゲッターリングが行われる。したがって、この第2のウェファを半導体素子の形成領域として、すなわち半導体動作領域として用いることによってすぐれた特性の半導体装置を製造することができる。特に

この第2のウェファは、第1のウェファとの接合において全面エッチング等によって必要十分に薄い厚さにすれば、動作領域において確実に不純物、欠陥のゲッターリングがなされ、しかも第2のウェファの存在によって取扱い時の破損などのおそれもない。また、ゲッターリングのシンク部を焼P等の導入によって形成される場合においても、両ウェファの貼合(接合)面において周面に臨むことがない位置に形成すれば、前述したアウトディフュージョンの問題も回避される。

(実施例)

第1図を参照して本発明の一実施例をその理解を容易にするためにその製造工程順に説明する。
先ず第1図Aに示すように2枚のシリコン単結晶半導体ウェファ(1)及び(2)を用意する。一方のウェファ(1)の一方の面(1a)には、ゲッターリング機能を有するゲッターリング領域(3)を形成する。このゲッターリング領域(3)は、例えば結晶欠陥が高密度に存在する多結晶シリコン層をウェファ(1)の面(1a)

上に被着形成するとか、ウェファ(1)の面(1a)自体をサンドブラスト等によって形成する。そして、ウェファ(1)のゲッタリング領域(3)を有する面(1a)と、ウェファ(2)の一方の面(2a)とを接合した状態で、両ウェファ(1)及び(2)を両面(1a)及び(2a)を直接密着させて重ね合せ例えば1000℃ないし1100℃程度で2時間の加熱処理を施すことによって第1図Bに示すように両ウェファ(1)及び(2)を接合合体する。このようにして一枚の本発明による半導体基板(4)が構成される。この基板(4)は、更に第1図Cに示すように、一方のウェファ(2)を、ウェファ(1)と接合された面(2a)とは反対側の面(2b)側から全面的にエッチングするとか、機械的及び化学的研磨するなどの方法によって所要の厚さdにする。

尚、ゲッタリング領域(3)は、上述した例に限られるものではなく、例えば、ウェファ(1)の面(1a)に、燐PやボロンBを高濃度に拡散して構成することもできるものであり、この場合、アウトディフュージョンの問題がある場合は、この領域(3)を

うにすることもできる。

そして本発明による半導体基板(4)によって各種半導体装置を構成するには、ゲッタリング領域(3)を形成しないウェファ(2)側に各半導体素子の動作領域を形成する。

(発明の効果)

本発明による半導体基板は、半導体動作領域を構成するためのウェファ(2)とは、別のウェファ(1)に、ゲッタリング領域(3)を構成しておくものである。このゲッタリング領域(3)の形成処理に際して半導体の動作領域への影響などを考慮する必要がなく、ゲッタリング領域(3)としては、充分その機能を有する構成とすることができる。またウェファ(1)がウェファ(2)の補強板としての機能を奏せしめ得ることから、ウェファ(2)を第1図Cで説明したように薄くする場合にもこれに破壊を生じさせるおそれが回避される。したがって半導体動作領域を構成するウェファ(2)は、最終的にゲッタリング作用が良好に行われる厚さ部分のみで構成

第2図に示すように、ウェファ(1)の面(1a)の周辺部を除く中央部に限定的に形成しておくことによって両ウェファ(1)及び(2)が接合合体された状態で両ウェファ(1)及び(2)によってゲッタリング領域(3)が包み込まれるようにする。このようにすればゲッタリング領域(3)を構成する不純物の燐Pのアウトディフュージョンを防止する効果が得られる。

また、ゲッタリング領域(3)はウェファ(1)の面(1a)側にのみ形成する例に限られず、第3図に示すようにウェファ(1)全体を酸素濃度或いは高欠陥密度のウェファによって構成し、ウェファ(1)全体をゲッタリング領域(3)とすることもできる。

更にゲッタリング領域(3)はウェファ(1)に設けて置く場合に限られず、第4図Aに示すように2枚のシリコン単結晶ウェファ(1)及び(2)を用意し、両者の結晶軸方向が一致することがないように、相互に回転させた状態で、両ウェファ(1)及び(2)を第4図Bに示すように密着加熱接合させ、この接合面において結晶の不一致を生じさせ、これによってこの接合面にゲッタリング領域(3)を形成するよ

され、これに半導体素子を構成した場合、安定してすぐれた特性の素子を構成することができることになるなど、冒頭に述べた諸問題が全て解消される。

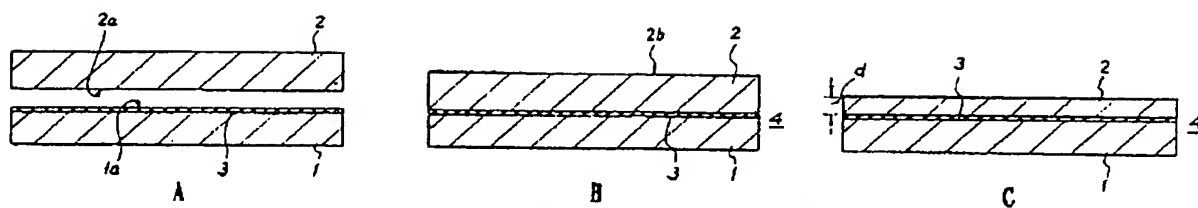
図面の簡単な説明

第1図A～Cは本発明による半導体基板の一例の製造方法の一例を示す各工程の略線的拡大断面図、第2図及び第3図は夫々本発明による半導体基板の他の例の略線的拡大断面図、第4図A及びBは本発明による半導体基板の更に他の例の各工程の略線的拡大断面図である。

(1)及び(2)は半導体ウェファ、(3)はゲッタリング領域、(4)は本発明による半導体基板。

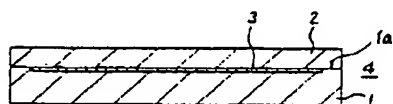
代理人 伊藤 貞

同 松 殿 秀 盛



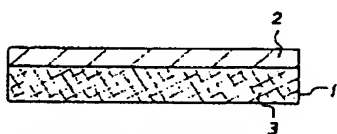
本発明による半導体基板の各製造工程の断面図

第 1 図



本発明の半導体基板の他の例の断面図

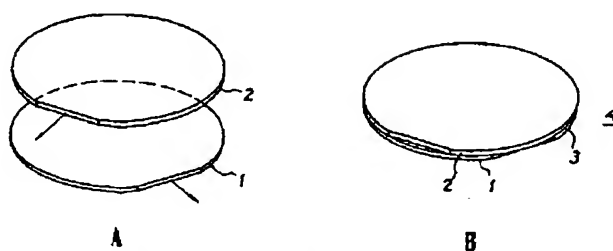
第 2 図



本発明の半導体基板の他の例の断面図

第 3 図

1, 2... 半導体ウェハ
3... ゲタリング領域
4... 半導体基板



本発明による半導体基板の他の例の各製造工程の斜視図

第 4 図